



RECEIVED

**PATENT**  
Atty. Dkt. No. SOEI/0011

FEB -6 2002

TC 2800 MAIL ROOM

In re Application of:  
Suzuki, et al.

**Serial No.: 10/004,489**

Filed: October 23, 2001

**Confirmation No.:**

**For: Method of Forming Film,  
Method of Manufacturing  
Semiconductor Device and  
Film Forming Apparatus**

Group Art Unit: Unknown

**Examiner:** Unknown

Assistant Commissioner for Patents  
Washington, D.C. 20231

**Dear Sir:**

**CERTIFICATE OF MAILING**

37 CFR 1.8

I hereby certify that this correspondence is being deposited on December 20, 2001 with the United States Postal Service as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

20 Dec 2001  
Date

Signature

**CLAIM TO PRIORITY**

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

Japanese Application Serial Number 2000-322,849 filed October 23, 2000.

A copy of the application certified by the Japanese Patent Office is enclosed.

Respectfully submitted,

Celler B Pitter

**William B. Patterson**

Registration No. 34,102

**MOSER, PATTERSON & SHERIDAN, L.L.P.**

3040 Post Oak Blvd., Suite 1500

Houston, TX 77056

Telephone: (713) 623-4844

**Facsimile: (713) 623-4846**

Attorney for Applicant(s)

日 本 国 特 許 庁

JAPAN PATENT OFFICE

RECEIVED

FEB-6 2002

TC 2800 MAIL ROOM

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月23日

出 願 番 号

Application Number:

特願2000-322849

出 願 人

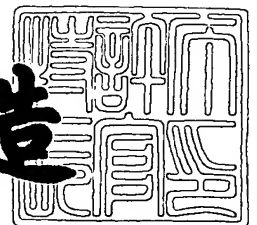
Applicant(s):

アプライド マテリアルズ インコーポレイテッド

2001年11月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097638

【書類名】 特許願

【整理番号】 AMJ307-PDD

【提出日】 平成12年10月23日

【あて先】 特許庁長官殿

【国際特許分類】 C23C 16/00

C23C 16/40

【発明者】

【住所又は居所】 千葉県成田市新泉14-3野毛平工業団地内 アプライ  
ド マテリアルズ ジャパン 株式会社内

【氏名】 鈴木 洋一

【発明者】

【住所又は居所】 千葉県成田市新泉14-3野毛平工業団地内 アプライ  
ド マテリアルズ ジャパン 株式会社内

【氏名】 島山 努

【特許出願人】

【識別番号】 390040660

【氏名又は名称】 アプライド マテリアルズ インコーポレイテッド

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100094318

【弁理士】

【氏名又は名称】 山田 行一

【選任した代理人】

【識別番号】 100108257

【弁理士】

【氏名又は名称】 近藤 伊知良

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 成膜方法、半導体装置の製造方法、および成膜装置

【特許請求の範囲】

【請求項 1】 平行平板型電極を有する半導体製造装置において基板上にシリコン絶縁膜を形成する成膜方法であって、

$\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをプラズマ化して、フッ素を含むシリコン絶縁膜を基板上に堆積する堆積ステップを備える成膜方法。

【請求項 2】  $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをチャンバ内に導入する導入ステップを更に備える請求項 1 に記載の成膜方法。

【請求項 3】 前記平行平板型電極に印加される RF 電力は 1 0 0 0 W 以上である、請求項 1 に記載の成膜方法。

【請求項 4】 前記平行平板型電極に印加される RF 電力は 1 4 0 0 W 以上である、請求項 1 に記載の成膜方法。

【請求項 5】 前記酸素ソース物質には、 $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}_3$ 、 $\text{N}_2\text{O}_5$ 、 $\text{NO}_3$ 、 $\text{N}_2\text{O}_4$  および  $\text{NO}_2$  のうちの少なくとも一つの物質が含まれる、請求項 1 ～請求項 4 のいずれかに記載の成膜方法。

【請求項 6】 前記酸素ソース物質には、 $\text{O}_2$  および  $\text{O}_3$  のうちの少なくとも一つの物質が含まれる、請求項 1 ～請求項 4 のいずれかに記載の成膜方法。

【請求項 7】 前記酸素ソース物質には、 $\text{CO}$ 、 $\text{CO}_2$  および  $\text{H}_2\text{O}$  のうちの少なくとも一つの物質が含まれる、請求項 1 ～請求項 4 のいずれかに記載の成膜方法。

【請求項 8】 前記平行平板型電極に印加される RF 電力は 4 W / s c c m 以上である、請求項 1 ～請求項 7 のいずれかに記載の成膜方法。

【請求項 9】 前記  $\text{SiH}_4$  に対する前記  $\text{SiF}_4$  の流量比は 1 より大きい、請求項 1 ～請求項 8 のいずれかに記載の成膜方法。

【請求項 1 0】 前記平行平板電極に印加される RF 電力は単一の周端数で変調されている、請求項 1 ～請求項 9 のいずれかに記載の成膜方法。

【請求項 1 1】 前記堆積ステップにおける前記反応チャンバ内の圧力は 6

6 6 P a 以下である、請求項 1 ～請求項 1 0 のいずれかに記載の成膜方法。

【請求項 1 2】 前記堆積ステップにおける成膜温度は 4 8 0 ℃ 以下である、請求項 1 ～請求項 1 1 のいずれかに記載の成膜方法。

【請求項 1 3】 基板上にダマシン構造の導電部を有する半導体装置の製造方法であって、

平行平板型電極を有する半導体製造装置のチャンバ内に導入された  $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをプラズマ化して、フッ素を含むシリコン絶縁膜を基板上に堆積する堆積ステップと、

前記シリコン絶縁膜にダマシン構造の導電部を形成するダマシンステップと、  
を備える半導体装置の製造方法。

【請求項 1 4】 前記ダマシンステップは、  
前記シリコン絶縁膜に凹部を形成するステップと、  
前記凹部に導電材料を形成するステップと、  
を有する請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記平行平板型電極に印加される R F 電力は 1 0 0 0 W 以上である、請求項 1 3 または請求項 1 4 に記載の半導体装置の製造方法。

【請求項 1 6】 前記平行平板型電極に印加される R F 電力は 1 4 0 0 W 以上である、請求項 1 3 ～請求項 1 5 のいずれかに記載の半導体装置の製造方法。

【請求項 1 7】 前記平行平板型電極に印加される R F 電力は  $4 \text{ W} / \text{cm}^2$  以上である、請求項 1 3 ～請求項 1 6 のいずれかに記載の半導体装置の製造方法。

【請求項 1 8】 前記  $\text{SiH}_4$  に対する前記  $\text{SiF}_4$  の流量比は 1 より大きい、請求項 1 3 ～請求項 1 7 のいずれかに記載の半導体装置の製造方法。

【請求項 1 9】 チャンバ内に設けられた平行平板型電極と、  
 $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスを前記チャンバ内に導入するための手段と、

前記プロセスガスのプラズマを生成するための R F 電力を供給する電力源と、  
を備え、

前記電力源は、前記平行平板型電極に 1 0 0 0 W 以上の R F 電力を供給可能で

ある、成膜装置。

【請求項 2 0】 前記平行平板型電極の間隔は 0. 5 c m 以上 1. 7 5 c m 以下である、請求項 1 9 に記載の成膜装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、成膜方法、半導体装置の製造方法、および成膜装置に関する。

【 0 0 0 2 】

【従来の技術】

集積回路の微細化が進むにつれて、配線間隔も小さくなってきている。この微細な配線間隔を絶縁物で埋めるために、高密度プラズマ(HDP)CVD装置が必要である。

【 0 0 0 3 】

また、配線間隔の微細化にともなって、配線間のキャパシタンスも大きくなっている。このキャパシタンスを低減するために、層間絶縁膜に比誘電率がより小さい絶縁膜、つまり低誘電率膜を採用することが行われている。このような低誘電率膜には、フッ素を含有したシリコン絶縁膜が採用されている。

【 0 0 0 4 】

つまり、従来においては、小さな配線間を埋めるために、HDP装置が必要であり、また、低誘電率膜を形成するために、このための原料ガスとして有機シラン系ガスが用いられてきた。

【 0 0 0 5 】

【発明が解決しようとする課題】

最近、微細LSIのための配線にダマシン構造を適用することが着目されている。ダマシン構造では、配線間を絶縁膜で埋めることがないので、高価なHDP装置を必ずしも用いる必要がない。例えば、平行平板型プラズマ装置を用いて層間絶縁膜としてFSG膜を形成することが考えられる。このCVD装置では、シリコン層間酸化膜を形成する際にTEOSを原料ガスとして用いる。

【 0 0 0 6 】

しかしながら、平行平板型プラズマ装置を用いて形成された F S G は時間の経過にともなう膜質が変化してしまうので、この F S G 膜は安定性に欠ける。

【 0 0 0 7 】

そこで、本発明の目的は、膜質が安定なフッ素含有シリコン絶縁膜を形成できる成膜方法および成膜装置、並びに半導体装置の製造方法を提供することとした。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係わる成膜方法は、平行平板型電極を有する半導体製造装置において基板上にシリコン絶縁膜を形成する。この成膜方法は、(1)  $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをプラズマ化して、フッ素を含むシリコン絶縁膜を基板上に堆積する堆積ステップを備える。また、この成膜方法は、(2)  $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをチャンバ内に導入する導入ステップを備えることができる。

【 0 0 0 9 】

本発明は、基板上にダマシン構造の導電部を有する半導体装置の製造方法に係わる。この半導体装置の製造方法は、以下のステップ、(3) 平行平板型電極を有する半導体製造装置に導入された  $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスをプラズマ化して、フッ素を含むシリコン絶縁膜を基板上に堆積する堆積ステップと、(4) シリコン絶縁膜にダマシン構造の導電部を形成するダマシンステップと、を備える。

【 0 0 1 0 】

本発明に係わる半導体装置の製造方法では、ダマシンステップは、(4-1) シリコン絶縁膜に凹部を形成するステップと、(4-2) 凹部に導電材料を形成するステップと、を有する。

【 0 0 1 1 】

TEOS に比べたとき、 $\text{SiH}_4$  および  $\text{SiF}_4$  を含むプロセスガスは、結果として得られるシリコン絶縁膜を構成する元素を主要に含む。このため、シリコン絶縁膜中に炭素、水素が取り込まれる可能性が小さい。また、 $\text{SiF}_4$  は Si-



F結合を含むので、シリコン絶縁膜中にフッ素が容易に取り込まれる。

【 0 0 1 2 】

ダマシン構造では導電部の間をシリコン絶縁膜により埋め込むことがないので、平行平板型電極を有する半導体製造装置を用いて形成されたシリコン絶縁膜を利用できる。

【 0 0 1 3 】

本発明に係わる成膜方法および半導体装置の製造方法では、平行平板型電極に印加されるRF電力は1000W以上であることができる。発明者は、良好なシリコン絶縁膜を得るためには、RFパワーを高くすることが好適であることを発見にした。大きなRFパワーを加えると、 $\text{SiH}_4$ および $\text{SiF}_4$ を含むプロセスガスを十分に分解できる。発明者の実験によれば、RF電力が1000W以上において、膜質の優れた成膜が可能になった。

【 0 0 1 4 】

本発明に係わる成膜方法および半導体装置の製造方法では、平行平板型電極に印加されるRF電力は1400W以上であることができる。RF電力が1400W以上において比誘電率の経時変化が小さい膜が得られた。発明者の実験によれば、RFパワーを高くすることは、比誘電率の経時変化を小さくするために好適である。

【 0 0 1 5 】

本発明に係わる成膜方法および半導体装置の製造方法では、平行平板型電極に印加されるRF電力は、 $4\text{ W/sccm}$ 以上であることができる。発明者は、良好なシリコン絶縁膜を得るためには、単位流量当たりのRFパワーもまた、膜特性に影響を与えることを発見にした。発明者の実験によれば、この値は、シリコン供給源である( $\text{SiH}_4 + \text{SiF}_4$ )の流量に関して $4\text{ W/sccm}$ 以上である。

【 0 0 1 6 】

本発明に係わる成膜方法および半導体装置の製造方法では、 $\text{SiH}_4$ に対する $\text{SiF}_4$ の流量比は1より大きいことが好ましい。発明者の実験によれば、この流量比は、シリコン絶縁膜のフッ素含有量に影響を与えることを発見した。

【 0 0 1 7 】

本発明に係わる成膜方法および半導体装置の製造方法では、平行平板電極に印加される R F 電力は単一の周端数で変調されているようにしてもよい。発明者は、単一の周端数の R F 電力によって、プロセスガスを十分に分解できることを発見した。

## 【 0 0 1 8 】

本発明に係わる成膜方法および半導体装置の製造方法では、酸素ソース物質には、 $N_2O$ 、 $NO$ 、 $N_2O_3$ 、 $N_2O_5$ 、 $NO_3$ 、 $N_2O_4$ および $NO_2$ といった窒素酸化物が含まれ、また $CO$ 、 $CO_2$ および $H_2O$ といった酸素化合物が含まれ、さらには $O_2$ 、 $O_3$ をといた酸素元素からなる物質も含まれる。

## 【 0 0 1 9 】

本発明に係わる成膜方法および半導体装置の製造方法では、堆積ステップにおける反応チャンバ内の圧力は 6 6 6 P a 以下であることができる。この圧力は、シリコン絶縁膜の膜厚の面内均一性に影響があることを発見した。6 6 6 P a 以下に反応チャンバ内の圧力を保つことによって、実用的な均一性を得ることができる。また、反応チャンバ内の圧力が 5 2 2 P a 以下に保たれると、さらに好適な結果である。

## 【 0 0 2 0 】

本発明に係わる成膜方法および半導体装置の製造方法では、堆積ステップにおける成膜温度は 4 8 0 °C 以下であることができる。発明者は、アルミニウムとシリコンとが共晶合金を形成する温度より低い温度でも、上記の成膜が可能であることを発見した。

## 【 0 0 2 1 】

本発明に係わる成膜方法および半導体装置の製造方法において形成されたシリコン絶縁膜の比誘電率が 3 . 4 以下であるものも得ることができた。

## 【 0 0 2 2 】

また、本発明に係わる半導体装置の製造方法は、基板上にダマシン構造の導電部を有する。この半導体装置の製造方法は、以下のステップ、(5)平行平板型電極を有する半導体製造装置のチャンバ内に導入された  $SiH_4$ 、 $SiF_4$  および酸素ソース物質を含むプロセスガスのプラズマを生成して、フッ素を含む第 1 のシ

リコン絶縁膜を基板上に堆積するステップと、(6)基板上に第2のシリコン絶縁膜を堆積するステップと、(7)第1および第2のシリコン絶縁膜にダマシン構造の導電部を形成するステップと、を備える。

## 【 0 0 2 3 】

本発明に係わる半導体装置の製造方法では、ステップ(6)では、平行平板型電極を有する半導体製造装置のチャンバ内に導入された $\text{SiH}_4$ 、 $\text{SiF}_4$ および酸素ソース物質を含むプロセスガスのプラズマを生成して、フッ素を含むシリコン絶縁膜を堆積することができる。

## 【 0 0 2 4 】

本発明に係わる半導体装置の製造方法では、ステップ(7)は、(7-1)第1および第2のシリコン絶縁膜の各々に複数の凹部を形成するステップと、(7-2)複数の凹部に導電部を形成するステップと、を有する。

## 【 0 0 2 5 】

本発明に係わる半導体装置の製造方法では、ステップ(6)に先立って、基板上にアルミニウムを含む導電部を形成するステップを更に備えることができる。ステップ(6)における成膜温度は $480^\circ\text{C}$ 以下である。この温度によれば、シリコンとアルミニウムとからなる共晶合金が形成されにくい。

## 【 0 0 2 6 】

本発明に係わる半導体装置の製造方法では、ステップ(6)の後にステップ(7)が行われ、さらにステップ(6)の後であって、且つステップ(7)に先立って、窒素を含むシリコン絶縁膜を形成するステップを更に備えることができる。シリコン絶縁膜を第1および第2のシリコン絶縁膜の間に設ければ、第1および第2のシリコン絶縁膜の各々に形成される各凹部の深さを制御することが容易になる。

## 【 0 0 2 7 】

また、本発明に係わる成膜装置は、(8)チャンバ内に設けられた平行平板型電極と、(9) $\text{SiH}_4$ 、 $\text{SiF}_4$ および酸素ソース物質を含むプロセスガスをチャンバ内に導入するための手段と、(10)プロセスガスのプラズマを生成するためのRF電力を供給する電力源と、を備える。この成膜装置では、電力源は、平行平板型電極に $1000\text{W}$ 以上のRF電力を供給可能である。

## 【 0 0 2 8 】

上記の構成によって、本発明に係わる成膜方法および半導体装置の製造方法において使用可能な成膜装置が提供される。

## 【 0 0 2 9 】

本発明に係わる成膜装置では、平行平板電極の間隔は 0.5 cm 以上 1.75 cm 以下である。発明者は、この間隔を小さくすると、膜質が向上することを発見した。

## 【 0 0 3 0 】

本発明に係わる成膜装置では、電力源は、平行平板電極に印加される RF 電力を単一の周端数で変調することができる。

## 【 0 0 3 1 】

さらに、本発明に係わる半導体集積回路装置は、(11)複数の半導体能動素子と、(12)シリコン絶縁膜と、(13)導電部と、を備える。複数の半導体能動素子は、基板に設けられている。シリコン絶縁膜はフッ素を含むと共に、複数の半導体能動素子上に設けられている。導電部は、複数の半導体能動素子を相互に接続するようにシリコン絶縁膜内に設けられている。この半導体集積回路装置では、導電部はダマシン構造の配線を有する。この半導体集積回路装置では、シリコン絶縁膜は、平行平板型電極を有する半導体製造装置において、 $\text{SiH}_4$ 、 $\text{SiF}_4$ および酸素ソース物質を含むプロセスガスを用いて形成されている。

## 【 0 0 3 2 】

## 【発明の実施の形態】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述からより容易に明らかになる。可能な場合には、同一の部分には同一の符号を付して重複する説明を省略する。

## 【 0 0 3 3 】

## (第 1 の実施の形態)

図 1 は、本実施の形態に係わるシリコン絶縁膜を形成する方法を実施できる化学的気相成長 (CVD) 装置を示している。

## 【 0 0 3 4 】

CVD装置10は、所望の真空度に減圧可能な処理チャンバ12を備える。処理チャンバ12内には、シリコンウエハといった被処理基板14を支持するための基板支持手段、例えばペDESTAL16が設けられている。ペDESTAL16には、シリコンウエハ14を加熱するために、セラミックスヒータといった加熱手段18が設けられている。加熱手段18は、システム全体を制御するマイクロコンピュータ、メモリといった制御手段20によって制御されている。このため、加熱手段18は、ペDESTAL16の温度、つまりステージ温度が成膜に好適な成膜温度に保たれるように制御する。これによって、被処理基板14の温度は、加熱手段18によって制御される。

## 【 0 0 3 5 】

処理チャンバ12内には、ガス分配プレート22が、ペDESTAL16に対面するように設けられている。ガス分配プレート22は、基板14に一樣にガスを供給するようにペDESTAL16と平行に配置されている。ガス分配プレート22は中空プレートであって、ペDESTAL16と対面する面には、複数のガス供給孔24が配置されている。ガス分配プレート22の内部空間には、配管26を介して処理チャンバ外部のガス混合室28から所定にプロセスガスが供給される。成膜に必要な原料ガスおよびキャリアガスは、ガス混合室28において予め均一に混合されている。本実施の形態では、シリコン絶縁膜、特にフッ素含有シリコン酸化膜(例えば、FSG膜と呼ばれる膜がある)の形成を行うため、プロセスガス供給源30、32、24を備える。SiH<sub>4</sub>ガス供給源30、SiF<sub>4</sub>ガス供給源32、および酸素ソース物質(例えば、N<sub>2</sub>O)供給源34は、それぞれ流量調節バルブ36、38、40を介してガス混合室28に接続されている。酸素ソース物質は、シリコン絶縁膜中においてSi-O結合を形成する酸素を提供するための酸素供給物質である。プロセスガス供給源は、さらに、プラズマ生成のためのArといった不活性ガス供給源を備えることができる。ガス流量調節バルブ36、38、40は制御手段20によって制御できるので、各ガスの流量が相互に関連するように調整される。ガス分配プレート22は、アルミニウムといった導電性材料から形成されている。

## 【 0 0 3 6 】

処理チャンバ 1 2 には、真空ポンプといった真空排気手段 4 2 が接続されている。真空ポンプを動作させると、処理チャンバ 1 2 内部が所望の真空度に減圧可能になる。真空排気手段 4 2 もまた、制御手段 2 0 によって制御される。

## 【 0 0 3 7 】

CVD 装置 1 0 は、平行平板型電極を備える。この一对の電極は、ペデスタル 1 6 と、ガス分配プレート 2 2 とから構成される。この一对の電極の間隔は、好ましくは 0. 5 c m 以上 1. 7 5 m 以下の範囲が好適である。この一对の電極は、R F パワージェネレータといった R F 電力発生手段 4 4 が接続されている。R F パワージェネレータは、1 0 0 0 W (好ましくは 1 4 0 0 W) 以上 2 0 0 0 W 以下の R F パワーを一对の電極に印加できる。この印加パワーの電力のオン／オフおよび大きさは、制御手段 2 0 によって制御できる。R F パワージェネレータ 4 4 の周波数は、1 3. 5 6 M H z を採用したけれども、これに限定されるものではない。周波数は、3 M H z 以上 3 0 M H z 以下の範囲を使用できる。

## 【 0 0 3 8 】

以上、説明したように装置を用いると、フッ素含有シリコン絶縁膜を形成できる。このフッ素含有シリコン絶縁膜はシリコンおよび酸素に加えて、少なくともフッ素を含む誘電膜である。

## 【 0 0 3 9 】

(第 2 の実施の形態)

次に、図 1 および図 2 (a) ～ 図 2 (d) を参照しながら、CVD 装置 1 0 を用いてシリコン酸化膜を基板上に形成する手順について説明する。

## 【 0 0 4 0 】

シリコンウエハといった基板 2 の主面上には、層間絶縁膜 3 および金属配線 4 が堆積されている。被処理体 1 4 は、基板 2、層間絶縁膜 3 および金属配線 4 からなる。加熱手段 1 8 によって、ステージ温度が 3 0 0 ° C 以上 4 8 0 ° C 以下の範囲のいずれかの温度になるように調整される。図 2 (a) に示されるように、被処理体 1 4 を CVD 装置 1 0 のペデスタル 1 6 上に配置する。

## 【 0 0 4 1 】

まず、フッ素含有のシリコン酸化膜(FSG膜)5を被処理体14上に形成する。この成膜条件は、図3の試行条件の欄に示されている。図3を参照すると、13.56MHzのRF電力パワーが1500W、平行平板電極間距離が1cm、チャンバ内圧力493Pa(3.7torr)、 $N_2O$ ガス流量が1500sccm、 $SiH_4$ ガス流量が115sccm、および $SiF_4$ ガス流量が130sccmである。なお、sccmは、standard cubic centimeter per minuteを示す。

## 【0042】

CVD装置10において、引き続き、窒素含有シリコン絶縁膜6をFSG膜5上に形成する。窒素含有のシリコン絶縁膜は、FSG膜をエッチングするエッチングガスに対してエッチング率が小さい膜であり、エッチング停止膜として作用する。

## 【0043】

続いて、CVD装置10において、FSG膜7をシリコン絶縁膜6上に形成する。この成膜条件は、図3の試行条件の欄に示されているものと同一のものを使用できるが、これに限定されるものではない。

## 【0044】

次に、CVD装置10で、FSG膜7上に窒素含有のシリコン絶縁膜8を形成する。窒素含有のシリコン絶縁膜8は、FSG膜をエッチングする際に反射防止膜として作用する。なお、窒素含有のシリコン絶縁膜6、8としては、 $Si_3N_4$ 膜、 $SiN$ 膜、 $SiON$ 膜といったシリコン窒化膜がある。

## 【0045】

引き続き、FSG膜5、窒素含有のシリコン絶縁膜6、FSG膜7、窒素含有のシリコン絶縁膜8に凹部を形成する。まず、配線形状が反映されたパターンを窒素含有のシリコン絶縁膜8にフォトリソグラフィ法およびドライエッチング法によって形成する。次いで、パターン形成されたシリコン絶縁膜8をマスクにして、ドライエッチングによってFSG膜7に凹部9aを形成する。このエッチングは、エッチング停止膜6に到達するまで進行する。エッチング停止層6に到達すると、エッチング速度が低くなり、実質的にエッチングが進行しない。続いて、ビア孔の位置が反映されたパターンを窒素含有のシリコン絶縁膜6にフォト

リソグラフィ法およびドライエッチング法によって形成する。次いで、パターン形成されたシリコン絶縁膜 6 をマスクにして、ドライエッチングによって F S G 膜 5 に凹部 9 b を形成する。このエッチングは、下地配線層 4 に到達するまで進行する。

## 【 0 0 4 6 】

この後に、凹部 9 a、9 b を金属材料で埋め込み平坦化して、ダマシン導電部を形成する。これまで説明した一連の製造ステップは、必要に応じて繰り返し適用される。これによって多層配線が得られる。

## 【 0 0 4 7 】

なお、上記の成膜手順においてシリコン酸化膜を形成するために無機シラン系ガスを採用しているのも、同一の C V D チャンバにおいて、シリコン酸化膜の形成に引き続いて、無機シラン系ガスを用いて成膜される窒素含有シリコン絶縁膜を容易に形成できる。

## 【 0 0 4 8 】

発明者は、図 3 に示された試行条件だけでなく、図 3 に示された変更範囲の条件において実験を行った。

## 【 0 0 4 9 】

図 4 は、R F パワーをパラメータとしたときに S i F ピーク強度と屈折率の変動との関係を示している。また、図 4 は、R F パワー 1 4 0 0 以上 2 0 0 0 W までの範囲において形成された F S G 膜に関する特性を示している。横軸は、F T - I R スペクトルにおける S i F ピークを  $S i F / (S i F + S i O)$  の百分比として示し、比誘電率もまた示している。縦軸は、クリーンルーム内に 3 日間放置の前後における屈折率の変化  $|n_{after} - n_{before}|$  を示している。 $n_{before}$  は放置前の屈折率であり、 $n_{after}$  は放置後の屈折率である。シンボル“◆”が R F パワー 2 0 0 0 W、シンボル“●”が R F パワー 1 8 0 0 W、シンボル“▲”が R F パワー 1 6 0 0 W、シンボル“■”が R F パワー 1 4 0 0 W のデータをそれぞれ示す。R F パワー 2 0 0 0 W では、変化率 0.007 未満であり、R F パワー 1 8 0 0 W では、0.0085 未満であり。R F パワー 1 6 0 0 W では、0.010 以下であり、R F パワー 1 4 0 0 W では、0.012 未満である。図 4



によれば、RFパワーが大きいほど、屈折率変化が小さい膜、つまり膜質が安定な膜が得られた。

## 【0050】

また、発明者は、RFパワーが1000W以上において膜質の経時変化が小さいシリコン酸化膜が得られることを発見した。

## 【0051】

さらに、発明者は、RFパワーのみではなく、 $\text{SiH}_4$ ガスおよび $\text{SiF}_4$ ガスの合計流量に対する印加RFパワーの比率も重要であることを発見した。この値は、 $4\text{ W/sccm}$ 以上である。

## 【0052】

さらにまた、上記の実験では、ウェハ1枚当たりのRFパワーが1000W以上において好適な膜質を得た。このとき、パワー密度は、パワー1000Wのとき $3.18\text{ W/cm}^2$ である。パワー密度は、パワー1400Wのとき $4.46\text{ W/cm}^2$ であり、パワー1600Wのとき $5.10\text{ W/cm}^2$ であり、パワー1800Wのとき $5.73\text{ W/cm}^2$ であり、パワー2000Wのとき $6.37\text{ W/cm}^2$ である。

## 【0053】

加えて、発明者は高RFパワーの下で成膜する際には、 $\text{SiF}_4$ の流量を $\text{SiH}_4$ の流量に対して大きくすることが望ましいことを発見した。この条件は、膜中のフッ素含有量を制御するために有効である。

## 【0054】

図5は、図3に試行条件に掲げられた成膜パラメータのいずれか1つを変化させたとき、 $\text{SiF}$ ピーク強度と屈折率の変動との関係を示している。横軸はFT-IRスペクトルにおける $\text{SiF}$ ピークを $\text{SiF}/(\text{SiF}+\text{SiO})$ の百分比として示している。縦軸は、クリーンルーム内に3日間放置した前後における屈折率の変化 $|n_{\text{after}} - n_{\text{before}}|$ を示している。

## 【0055】

図5には、曲線C1～C5が示されている。曲線C1～C5は、膜中のフッ素濃度を変化させるために $\text{SiH}_4$ ガス流量に対して $\text{SiF}_4$ ガス流量を変化させて

いる。曲線C1は、 $\text{SiH}_4$ ガス流量および $\text{SiF}_4$ ガス流量以外の条件は試行条件と同一の条件を採用している。曲線C2は、 $\text{N}_2\text{O}$ ガス流量を3000 sccmに変更した点を除いて、試行条件と同一の条件を採用している。曲線C3は、チャンバ内の圧力を666 Pa (5 torr)に変更した点を除いて、試行条件と同一の条件を採用している。曲線C4は、CVD装置10の平行平板電極の間隔を1.75 cmに変更した点を除いて、試行条件と同一の条件を採用している。曲線C5は、 $\text{SiH}_4$ ガス、 $\text{SiF}_4$ ガス、および $\text{N}_2\text{O}$ ガスの各流量をそれぞれ2倍に変更した点を除いて、試行条件と同一の条件を採用している。

## 【0056】

図5によれば、試行条件に対して、酸化剤として作用する $\text{N}_2\text{O}$ ガス流量を増加させると膜質が改善され、またチャンバ内の圧力を低くすると膜質が改善される。特に、チャンバ内の圧力を低くすることは、膜厚の面内均一性を改善するために有効である。図5によれば、CVD装置10の電極間距離は小さい方が膜質の改善に好ましい傾向を示し、またプロセスガス全流量は小さい方が膜質の改善に好ましい傾向を示している。

## 【0057】

図6は、 $\text{SiF}_4$ ガス流量と屈折率の変動との関係を示している。シンボル“■”は成膜温度400℃における成膜データであり、シンボル“○”は成膜温度480℃における成膜データである。横軸は、 $\text{SiF}_4$ 流量 / ( $\text{SiH}_4$ 流量 +  $\text{SiF}_4$ 流量)を百分比で示し、縦軸は、FT-IRスペクトルにおけるSiFピークを $\text{SiF} / (\text{SiF} + \text{SiO})$ の百分比で示している。流量比50%程度において、縦軸に示される百分比が2%程度まで大きくなる。

## 【0058】

図6によれば、 $\text{SiF}_4$ 流量の比率が大きくなるにつれて、SiFピーク強度が大きくなっている。また、成膜温度に関する差はあまりなく、本実施の形態における成膜条件は、成膜温度に関して広いプロセスウインドウを有している。

## 【0059】

図7は、SiFピーク強度と、酸化膜の比誘電率との関係を示している。横軸は、FT-IRスペクトルにおけるSiFピークを $\text{SiF} / (\text{SiF} + \text{SiO})$ の

百分比で示している。縦軸は、シリコン酸化膜の比誘電率を示している。

## 【0060】

図7によれば、SiFピークが大きくなるにつれて、シリコン酸化膜の比誘電率も小さくなっている。これは、膜中に取り込まれたフッ素原子が膜の誘電率を低減するために有効に作用していることを示している。成膜温度に関しては、480℃の成膜に比べて400℃における成膜の方が低誘電率になる傾向にある。

## 【0061】

図8は、シリコン酸化膜の比誘電率と屈折率との関係を示している。横軸は、シリコン酸化膜の比誘電率を示している。縦軸は、シリコン酸化膜の屈折率を示している。図8によれば、シリコン酸化膜の比誘電率が小さくなるにつれて、シリコン酸化膜の屈折率も小さくなっている。

## 【0062】

図9は、本実施の形態に係わるシランFSG膜と、TEOS・FSG膜との吸水率の特性を示している。吸水量は、FT-IRにおける(SiOH+HOH)/SiOピークを百分比で表されている。成膜温度400℃、440℃、および480℃において成膜されたシランFSG膜に関して、クリーンルーム内に1週間、2週間、それぞれ放置した前後における吸水量の変動が示されている。また、成膜温度480℃において成膜されたTEOS・FSG膜に関して、クリーンルーム内に1週間、放置した前後における吸水量の変動が示されている。

## 【0063】

図9によれば、シランFSG膜では吸水量の変動がせいぜい1%程度にあるのに対して、TEOS・FSG膜に関しては吸水量の変動がほぼ2.5%である。シランFSG膜の特性が、TEOS・FSG膜の特性に対して圧倒的に優れている。

## 【0064】

発明者は、実験結果を総合的に判断して好適な成膜条件を

RFパワー：1500W

成膜温度：400℃

電極間隔：0.1cm

チャンバ内圧力：533 Pa (4.0 torr)

$N_2O$  ガス流量：2500 sccm

$SiH_4$  ガス流量：60 sccm

$SiF_4$  ガス流量：200 sccm

のように決定した。

【0065】

この条件にて達成された膜特性は、

成膜レート：420 (nm/min)

膜厚の面内均一性：3.5%

膜応力： $-0.7 \times 10^{10} \text{ N/m}^2$

( $-0.7 \times 10^9 \text{ dyne/cm}^2$ )

屈折率：1.42

比誘電率(as deposition)：3.4

を示している。

【0066】

このように優れた膜質が得られた理由として、発明者は、個人的には、シラン FSG 膜を構成する原子 Si、F、O が緻密なネットワークを形成しているからであると考えており、また、従来の TEOS・FSG 膜では、シリコン酸化膜を構成する原子 Si、F、O に加えて、C、H がシラン FSG 膜に比べて相対的に多く含まれているので、ネットワークが粗になっていると考えている。本実施の形態における成膜では、3.5% フッ素濃度において密度  $2.1 \times 10^3 \text{ kg/m}^3$  ( $2.1 \text{ g/cm}^3$ ) を示す緻密な膜が得られた。一方、TEOS・FSG 膜では、3.5% フッ素濃度において密度  $1.8 \times 10^3 \text{ kg/m}^3$  ( $1.8 \text{ g/cm}^3$ ) であった。

【0067】

また、発明者は、個人的には、以下のように推定している。本実施の形態では、Si、F、O の供給源として、TEOS のように炭素 C、多量の水素 H を含まない無機シラン系ガスを採用した。このため、膜中に不純物を取り込まれにくい。また、RF パワーを十分に供給することによって  $SiF_4$  および  $SiH_4$  を十分

に分解している。故に、 $\text{SiF}_2$ といったフラグメントが膜中に取り込まれる可能性が小さくなり、また $\text{SiH}_4$ において $\text{SiH}$ の結合が十分に切断される。したがって、緻密な膜が形成され、これによって吸水率が低減される。

【0068】

(第3の実施の形態)

引き続き説明において、MOSデバイスといった半導体能動デバイスを有する半導体集積回路に本発明を適用した場合について説明するけれども、本発明は、このようなデバイスに限定されることはない。

【0069】

図10～図14は、第3の実施の形態を示す工程断面図である。

【0070】

図10を参照すると、基板102は、P型高濃度ウエハ104上にP型エピタキシャル層106を有する。基板102には、NチャネルMOS型デバイス110およびPチャネルMOS型デバイス120が形成されている。

【0071】

Nチャネルデバイス110は、P型エピタキシャル層106の表層に形成される。Nウェル108は、Pチャネル型デバイス120を形成するための領域を含むように形成される。素子分離領域130a、130b、130cは、Nチャネルデバイス110およびPチャネルデバイス120のそれぞれを分離するように形成される。これらの素子分離領域130a～130cに囲まれた領域は、デバイス形成領域となる。

【0072】

次いで、ゲート絶縁膜132がデバイス形成領域に形成される。ゲート電極134a～134eが、ゲート絶縁膜132上に形成される。ゲート電極134a、130b直下の領域118、128には、しきい値を制御するための不純物が導入されている。N型ソース拡散領域112およびN型ドレイン拡散領域114が、ゲート電極134aと自己整合的に形成される。また、P型ソース拡散領域122およびP型ドレイン拡散領域124が、ゲート電極134bに自己整合的に形成される。なお、N型ソース拡散領域112に隣接してP型拡散領域116

が設けられており、P型ソース拡散領域122に隣接してP型拡散領域126が設けられている。いる。

## 【0073】

続いて、基板2上には、 $\text{Si}_3\text{N}_4$ 膜といった第1のシリコン窒化膜136が形成される。第1のシリコン窒化膜136は、セルフアラインコンタクト形成に用いられるエッチング停止膜として利用される。

## 【0074】

次いで、第1のシリコン酸化膜138が、第1のシリコン窒化膜136上に形成される。第1のシリコン酸化膜138は、例えばCVD法を用いて500nm以上1000nm以下の厚さに形成されるFSG膜であってもよい。この後、コンタクト孔が形成される。コンタクト孔は、第1のシリコン酸化膜138および第1のシリコン窒化膜136を貫通し基板102の表面およびゲート電極に到達するように設けられる。コンタクト孔内には、タングステン(W)プラグといった埋め込みプラグ140が形成される。タングステンの埋め込みに先だって、TiW膜をコンタクト孔の底面および側面に形成するようにしてもよい。TiW膜はスパッタリング法で形成されることができ、またWプラグはCVD法で形成されることができる。埋め込みプラグ140を形成した後に、CMP法を用いてシリコン酸化膜138および埋め込みプラグ140を平坦化する。

## 【0075】

平坦化されたシリコン酸化膜138および埋め込みプラグ140上に第1の配線層142を形成する。第1の配線層142は、例えば、スパッタリング法、CVD法、スパッタリング法を用いて形成されたTiW膜、W膜、TiW膜の3層を有する。また、第1の配線層142は、これらの膜を配線形状にパターン形成することによって得られる。第1の配線層142は、例えば、500nm以上1000nm以下の厚さを有する。

## 【0076】

第1の配線層142およびシリコン酸化膜138上には、第2にシリコン酸化膜143を堆積する。第2にシリコン酸化膜143は、第1の配線層142間を十分に埋め込み可能な成膜装置を用いる。第2にシリコン酸化膜143の成膜が

完了した後に、第1の配線層142および第2にシリコン酸化膜143を平坦化する。

【0077】

図11を参照しながら、さらに上層の配線層の形成を説明する。第2のシリコン酸化膜143および第1の配線層142上には、第3のシリコン酸化膜162、埋め込みプラグ166b、および第2の配線層166aを形成する。第3のシリコン酸化膜162は、例えばCVD法を用いて500nm以上2000nm以下の厚さに形成されるFSG膜である。

【0078】

本実施の形態では、デュアルダマシン法を用いて配線およびビアプラグを一括して形成する。なお、これら配線およびビアプラグの形成のために、シングルダマシン法も適用できる。

【0079】

まず、第3のシリコン酸化膜162には、フォトリソグラフィック法およびドライエッチング法を利用して、凹部164aを形成する。凹部164aには、第2の配線層166aが形成される。凹部164aは、この配線層166aの厚さおよび幅を反映した形状を有する。次いで、フォトリソグラフィック法およびドライエッチング法を利用して、凹部164bを形成する。凹部164bは、第1の配線層142と第2の配線層166aとを電氣的に接続する接続ビアプラグ166bのために設けられている。このため、凹部164bは、凹部164aの底面から第1の配線層142の上面に到達するような深さで形成される。なお、第2のシリコン酸化膜162は、凹部164aおよび凹部164bとの境界を示す位置に設けられたシリコン窒化膜によって2層に分割されていてもよい。これによって、それぞれの凹部の深さに対する制御性が増す。

【0080】

図12を参照すると、凹部164a、164bが同じ工程において導電材料で埋め込まれている。この埋め込みは以下の順序で行われる。まず、第1の導電層166c、例えばTa<sub>2</sub>N膜またはTaSiN膜といった拡散障壁層または密着層を全面に形成する。第1の導電層166cは、例えばスパッタリング法を用いて

30 nm以上100 nm以下程度の厚さで堆積される。これによって、凹部164 a、164 bの底面および側面には、第1の導電層166 cが形成される。次いで、銅(Cu)といった導電体で凹部164 a、164 bを埋め込み、第2の導電層166 a、166 bを形成する。Cuの導電体は、例えばスパッタリング法を用いて50 nm以上100 nm以下程度の厚さのシード層を形成した後に、電解メッキ法より1  $\mu$  m以上5  $\mu$  m以下程度の厚さに形成される。導電体の厚さは、凹部166 a、166 bを埋め込む程度の厚さに加えて、後の工程において平坦化を行うことができる程度の厚さであることが好ましい。上記の説明から明らかのように、第2の配線層166 aおよび接続ビアプラグ166 bは同一の工程で形成される第1の導電部材166である。

## 【0081】

第3のシリコン酸化膜162および第1の導電部材166は、例えばCMP法といった平坦化法を利用して、図12に示されるように平坦化される。平坦化された第3のシリコン酸化膜162および第1の導電部材166上には、薄いシリコン窒化膜167が形成されることができる。

## 【0082】

引き続き、第4のシリコン酸化膜168 a内に第2の導電部材170 aが、シングルダマシン法によって形成される。まず、第4のシリコン酸化膜168 aが、シリコン窒化膜167上に形成される。第4のシリコン酸化膜168 aは、既に説明された第4のシリコン酸化膜162と同様にFSG膜であることができる。次いで、第4のシリコン酸化膜168 aには、第2の導電部材170 aが設けられるべき領域に凹部169 aが形成される。凹部169 aは、フォトリソグラフィック法およびドライエッチング法を用いて、導電体166 aに到達するまでシリコン酸化膜168 aおよびシリコン窒化膜167をエッチングにより除去することによって形成される。凹部169 aには、第13図に示すように、第1の導電部材166と同様な製造プロセスで第2の導電部材170 aが形成される。第4のシリコン酸化膜168 aおよび第2の導電部材170 aは、CMP法といった平坦化法を利用して平坦化される。

## 【0083】



図 1 3 においては、続いて、第 5 のシリコン酸化膜 1 6 8 b 内に第 3 の導電部材 1 7 0 b がシングルダマシン法によって形成される。第 3 の導電部材 1 7 0 b は、凹部 1 6 9 b を導電材料で埋め込むことによって形成される。この埋め込みは、既に説明された第 2 の導電部材 1 7 0 a と同様な製造プロセスによって実現されるので、その詳細な説明を省略する。しかしながら、そのような製造プロセスに限定されるものではなく、異なる製造プロセスで形成されることができる。

【 0 0 8 4 】

図 1 4 参照すると、平坦化された第 5 のシリコン酸化膜 1 6 8 および第 2 の導電部材 1 7 0 が示されている。これらの表面上には、第 3 のシリコン窒化膜 1 7 2 が形成されている。第 3 のシリコン窒化膜 1 7 2 は、シリコン窒化膜（プラズマ  $\text{SiN}$  膜）、プラズマシリコン酸化膜（ $\text{p-SiO}$  膜）およびプラズマシリコン酸化窒化膜（ $\text{p-SiON}$  膜）といったパッシベーション膜である。

【 0 0 8 5 】

好適な実施の形態において本発明の原理を図示し説明してきたが、そのような原理から逸脱することなく、その構成およびその詳細において本発明を変更できることは、当業者によって認識される。例えば、これまでの説明は、 $\text{SiH}_4$  ガス、 $\text{SiF}_4$  ガス、および  $\text{N}_2\text{O}$  ガスを用いる成膜について行われてきたが、このプロセスガスには、これらに限定されるものではなく、 $\text{SiH}_4$  に代えてジシランを含む無機シラン系化合物を適用でき、 $\text{SiF}_4$  に代えて  $\text{Si}$  と  $\text{F}$  との結合を含む無機化合物、また例えば  $\text{CF}_4$ 、 $\text{C}_2\text{F}_6$  も適用できる。酸素供給源物質としては、例示的に示される  $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}_3$ 、 $\text{N}_2\text{O}_5$ 、 $\text{NO}_3$ 、 $\text{N}_2\text{O}_4$  および  $\text{NO}_2$  といった窒素酸化物を使用でき、また例示的に示される  $\text{CO}$ 、 $\text{CO}_2$  および  $\text{H}_2\text{O}$  といった酸素化合物を用いることができ、さらには  $\text{O}_2$ 、 $\text{O}_3$  を使用できる。また、ダマシン構造には、シングルダマシン構造およびデュアルダマシン構造を少なくとも含み、本発明は、配線といった導電体間に絶縁膜の埋め込みを必要としない半導体集積回路装置の製造に適用できる。

【 0 0 8 6 】

【発明の効果】

以上詳細に説明したように、本発明に係わる成膜方法では、平行平板型電極を

有する半導体製造装置において基板上にシリコン絶縁膜を形成する。この成膜方法は、 $\text{SiH}_4$ 、 $\text{SiF}_4$ および酸素ソース物質を含むプロセスガスをプラズマ化してフッ素を含むシリコン絶縁膜を基板上に堆積する。 $\text{SiH}_4$ および $\text{SiF}_4$ を含むプロセスガスは、 $\text{TEOS}$ に比べて、シリコン絶縁膜を構成する元素を主に含む。このため、シリコン絶縁膜中に炭素、水素が取り込まれる可能性が小さい。また、 $\text{SiF}_4$ は $\text{Si-F}$ 結合を含むので、シリコン絶縁膜中にフッ素が容易に取り込まれる。

## 【0087】

このような成膜方法は、例えば、チャンバ内に設けられた平行平板型電極を有する成膜装置において実施される。その成膜装置は、 $\text{SiH}_4$ 、 $\text{SiF}_4$ および酸素ソース物質を含むプロセスガスをチャンバ内に導入するための手段と、プロセスガスのプラズマを生成するためのRF電力を供給する電力源とを備える。この電力源は、平行平板型電極に1000W以上のRF電力を供給可能である。

## 【0088】

また、本発明に係わる半導体装置の製造方法では、ダマシン構造の配線を形成するために、上記のように形成されるフッ素を含むシリコン絶縁膜を用いている。

## 【0089】

したがって、膜質が安定なフッ素含有シリコン絶縁膜を形成できる成膜方法および成膜装置、並びに半導体装置の製造方法が提供された。

## 【図面の簡単な説明】

## 【図1】

図1は、成膜装置の概略図である。

## 【図2】

図2(a)～図2(d)は、成膜工程を示す図面である。

## 【図3】

図3は、成膜条件を示した図面である。

## 【図4】

図4は、FSG膜の特性を示した図面である。

【図 5】

図 5 は、F S G 膜の特性を示した図面である。

【図 6】

図 6 は、 $\text{SiF}_4$  の流量と、 $\text{Si}-\text{F}$  ピークとの関係を示した図面である。

【図 7】

図 7 は、 $\text{Si}-\text{F}$  ピークと、比誘電率との関係を示した図面である。

【図 8】

図 8 は、比誘電率と、屈折率との関係を示した図面である。

【図 9】

図 9 は、膜の吸水特性を示した図面である。

【図 1 0】

図 1 0 は、第 3 の実施の形態の示す工程断面図である。

【図 1 1】

図 1 1 は、第 3 の実施の形態の示す工程断面図である。

【図 1 2】

図 1 2 は、第 3 の実施の形態の示す工程断面図である。

【図 1 3】

図 1 3 は、第 3 の実施の形態の示す工程断面図である。

【図 1 4】

図 1 4 は、第 3 の実施の形態の示す工程断面図である。

【符号の説明】

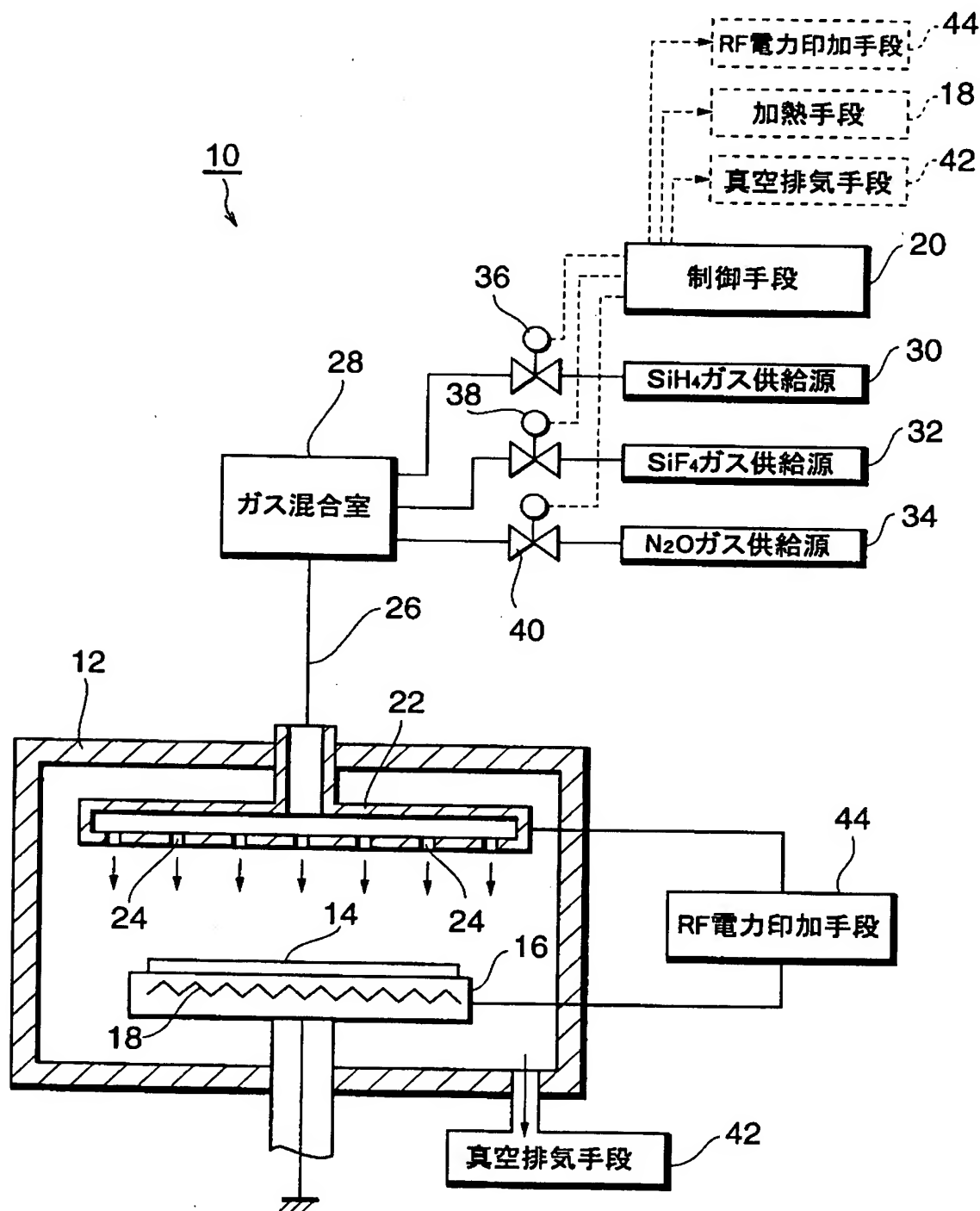
1 0 … CVD 装置、1 2 … 処理チャンバ、1 4 … シリコンウエハ、1 6 … ペDESTAL、1 8 … 加熱手段、2 0 … 制御手段、2 2 … ガス分配プレート、2 4 … ガス供給孔、2 6 … 配管、2 8 … ガス混合室、3 0 …  $\text{SiH}_4$  ガス供給源、3 2 …  $\text{SiF}_4$  ガス供給源、3 4 …  $\text{N}_2\text{O}$  ガス供給源、3 6、3 8、4 0 … 流量調節バルブ、4 2 … 真空排気手段

1 0 2 … 基板、1 0 4 … P 型高濃度ウエハ、1 0 6 … P 型エピタキシャル層、1 0 8 … N ウエル、1 1 0 … N チャネル型 MOS デバイス、1 1 2 … N 型ソース拡散層領域、1 1 4 … N 型ドレイン拡散層領域、1 2 0 … P チャネル型 MOS デバ

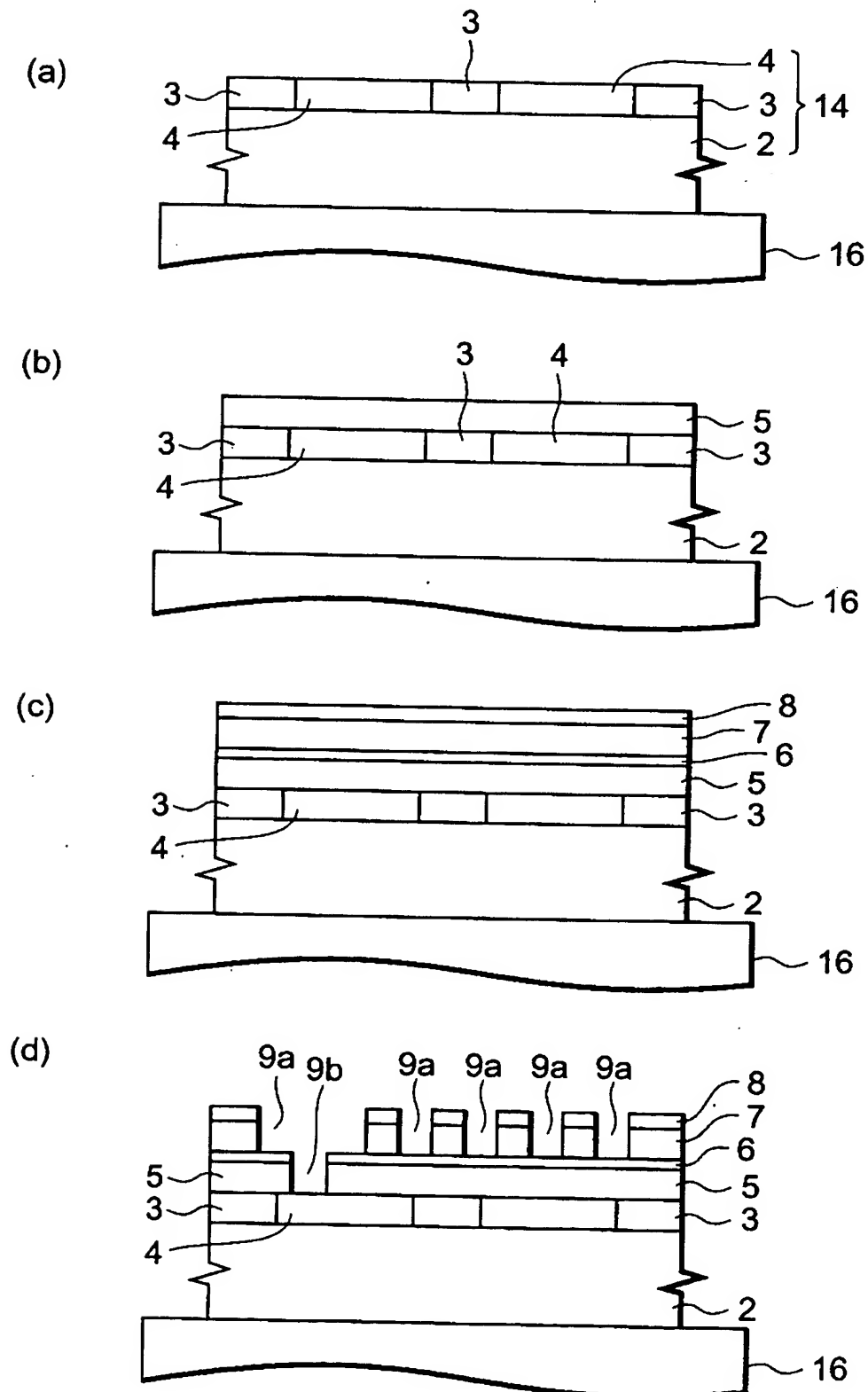
イス、122…P型ソース拡散層領域、124…P型ドレイン拡散層領域、30a、30b、30c…素子分離領域、132…ゲート絶縁膜、134a～34e…ゲート電極、136…第1のシリコン窒化膜、138…第1のシリコン酸化膜、140…埋め込みプラグ、142…第1の配線層、162…第3のシリコン酸化膜、164a、164b…凹部、166a…第2の配線層、166b…接続ビアプラグ、166c…第1の導電層、168a…第4のシリコン酸化膜、170a…第2の導電部材(導電ビア)、168b…第5のシリコン酸化膜、170b…第3の導電部材、172…パッシベーション膜

【書類名】 図面

【図 1】



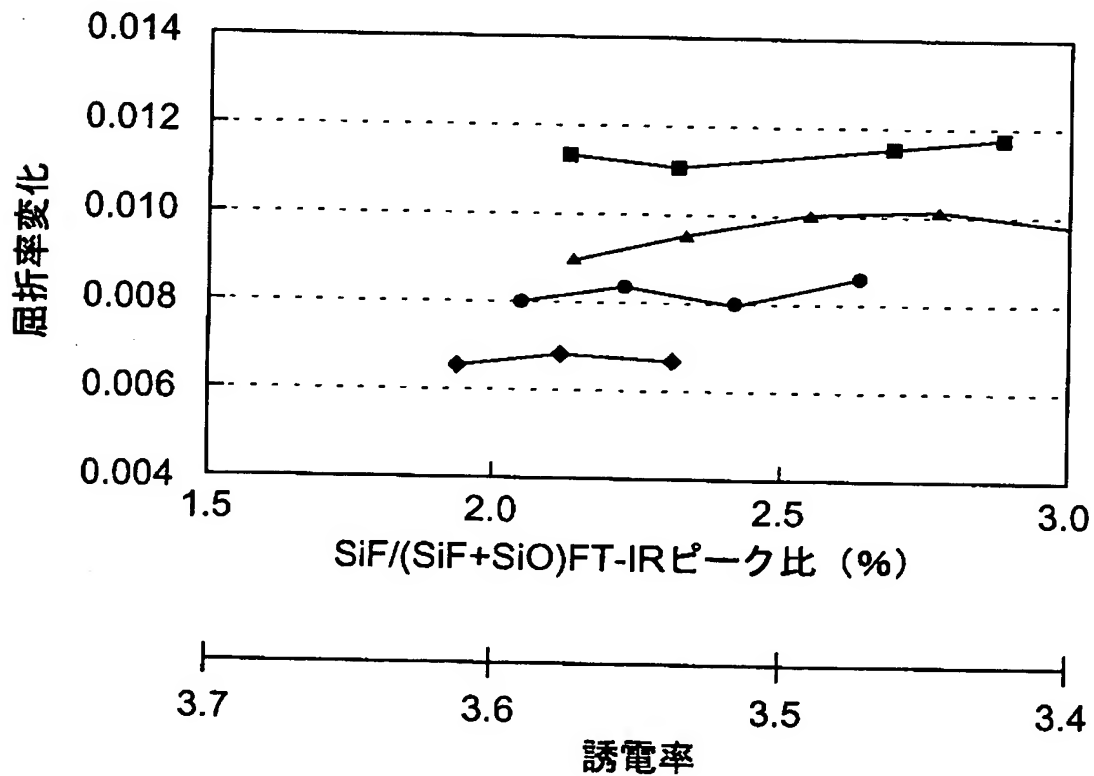
【図 2】



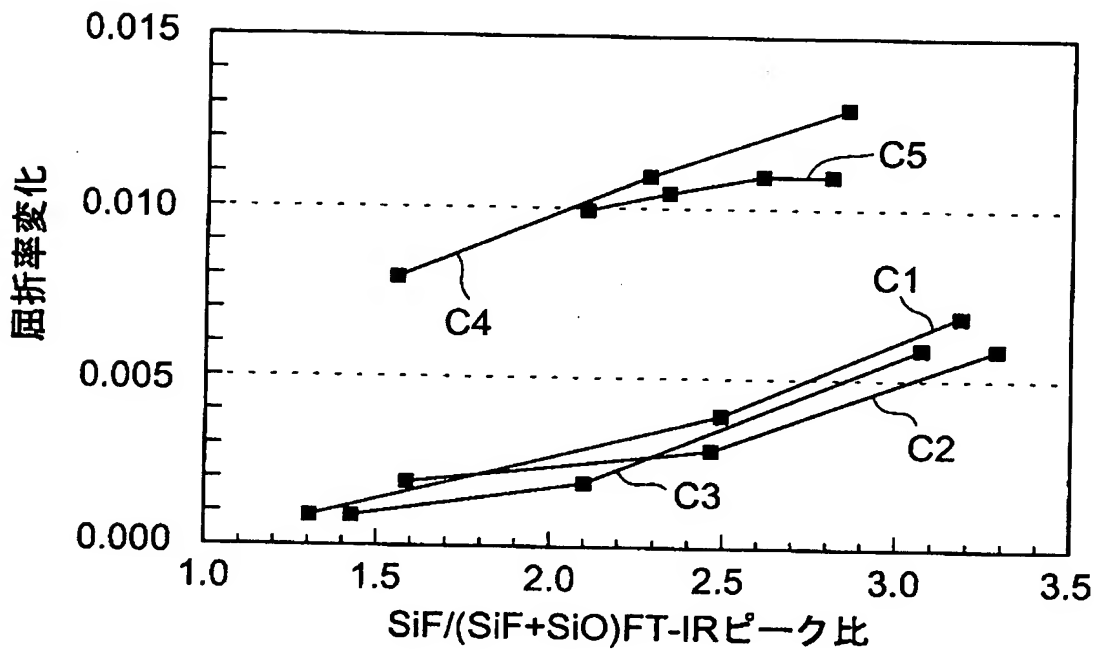
【図 3】

パラメータ	試行条件	変更範囲
13.56MHzRFパワー(W)	1500	1200~2000
平行平板電極間隔(cm)	1.0	1.0~1.75
チャンバ内圧力(Pa)	493 (3.7Torr)	493~666 (3.7~5.0Torr)
全流量(%)	100	100~200
N <sub>2</sub> O流量(sccm)	1500	1500~3000
SiH <sub>4</sub> 流量(sccm)	115	115
SiF <sub>4</sub> 流量(sccm)	130	50~250

【図 4】

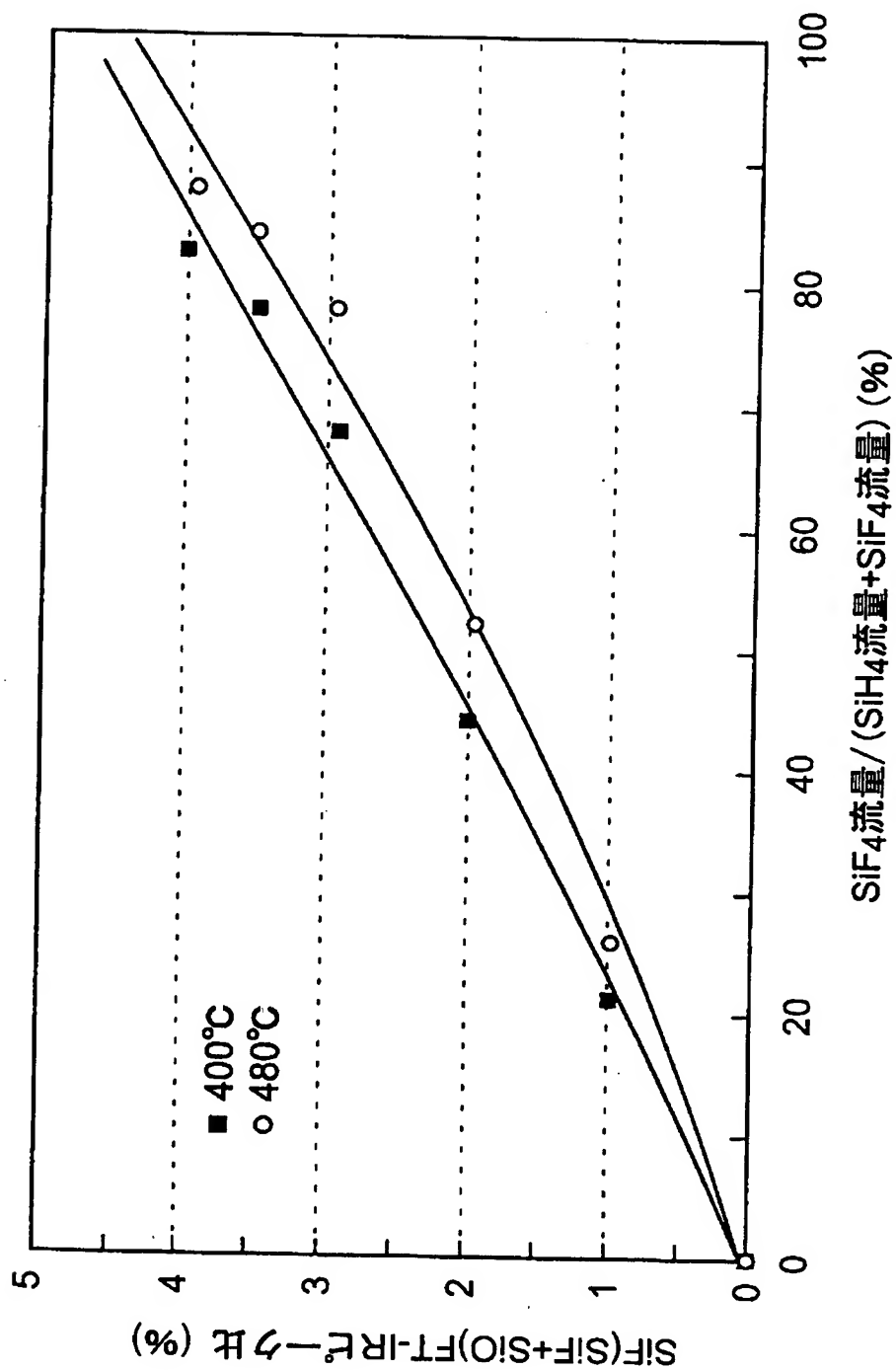


【図 5】

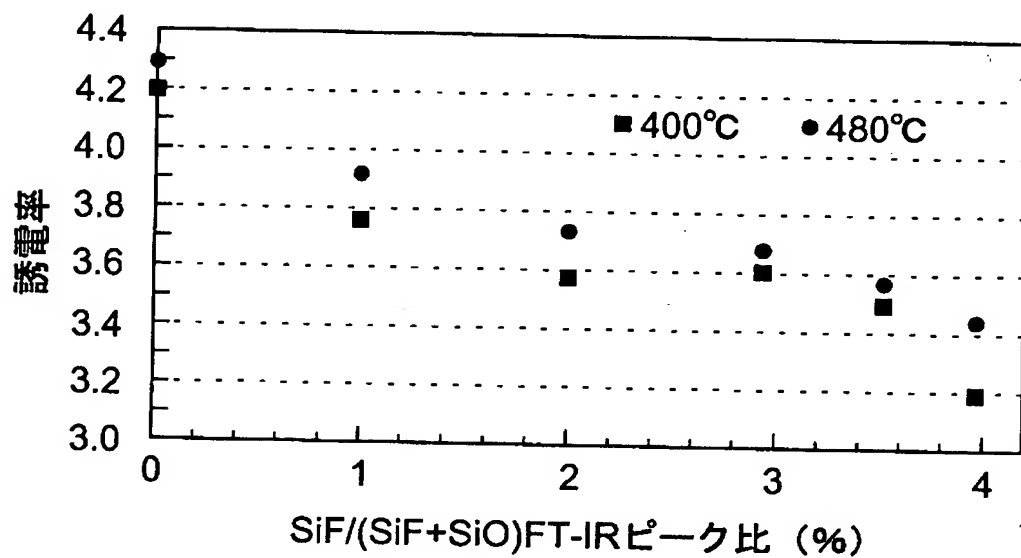




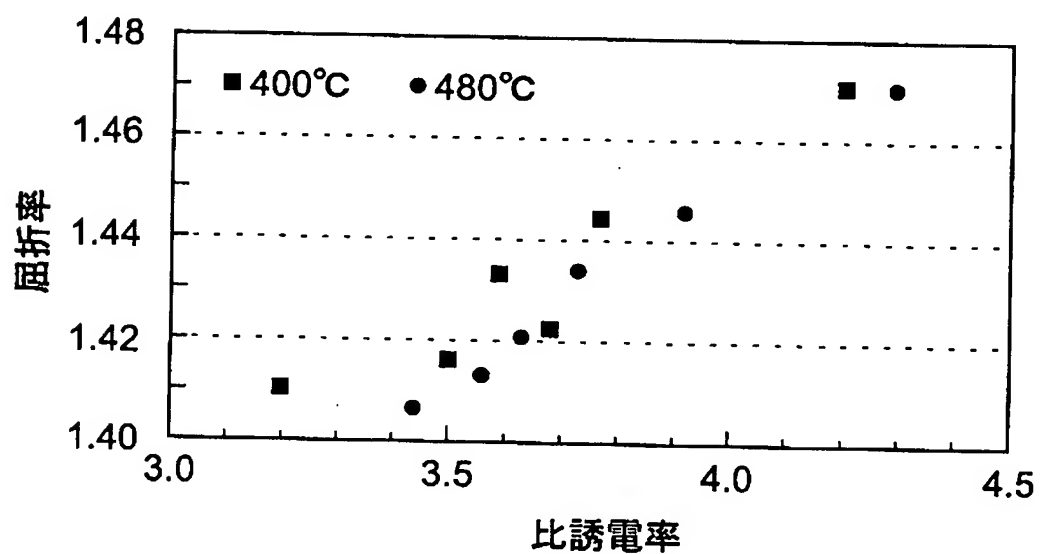
【図6】



【図 7】



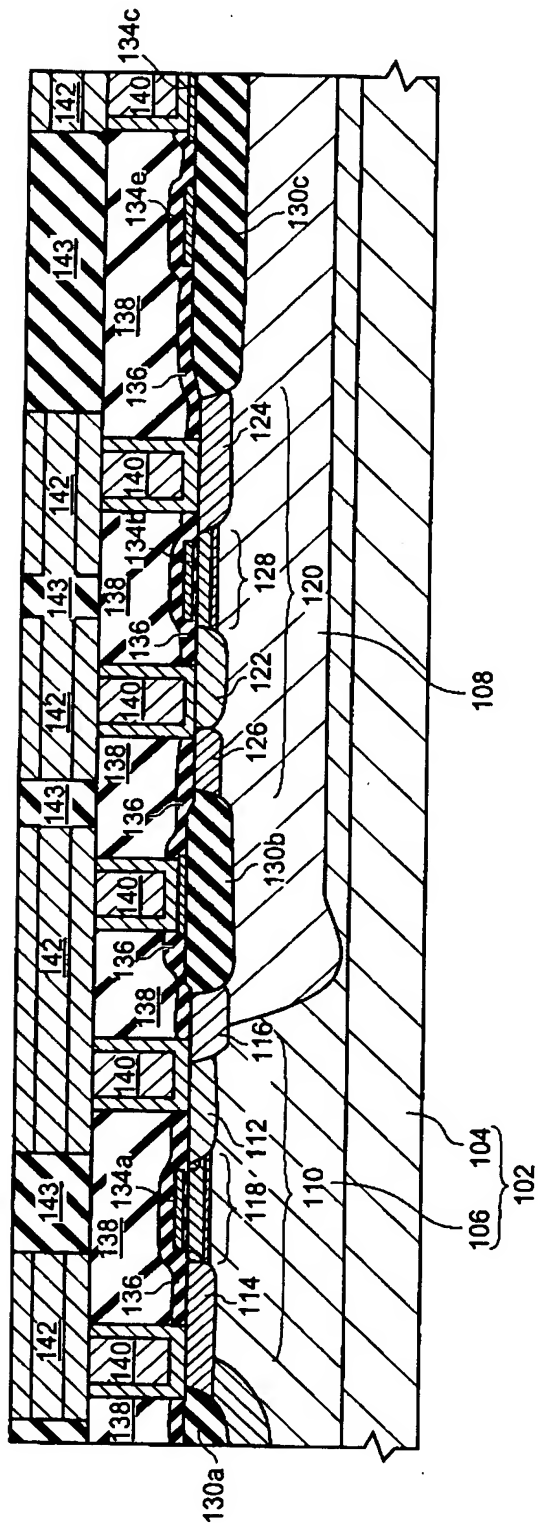
【図 8】



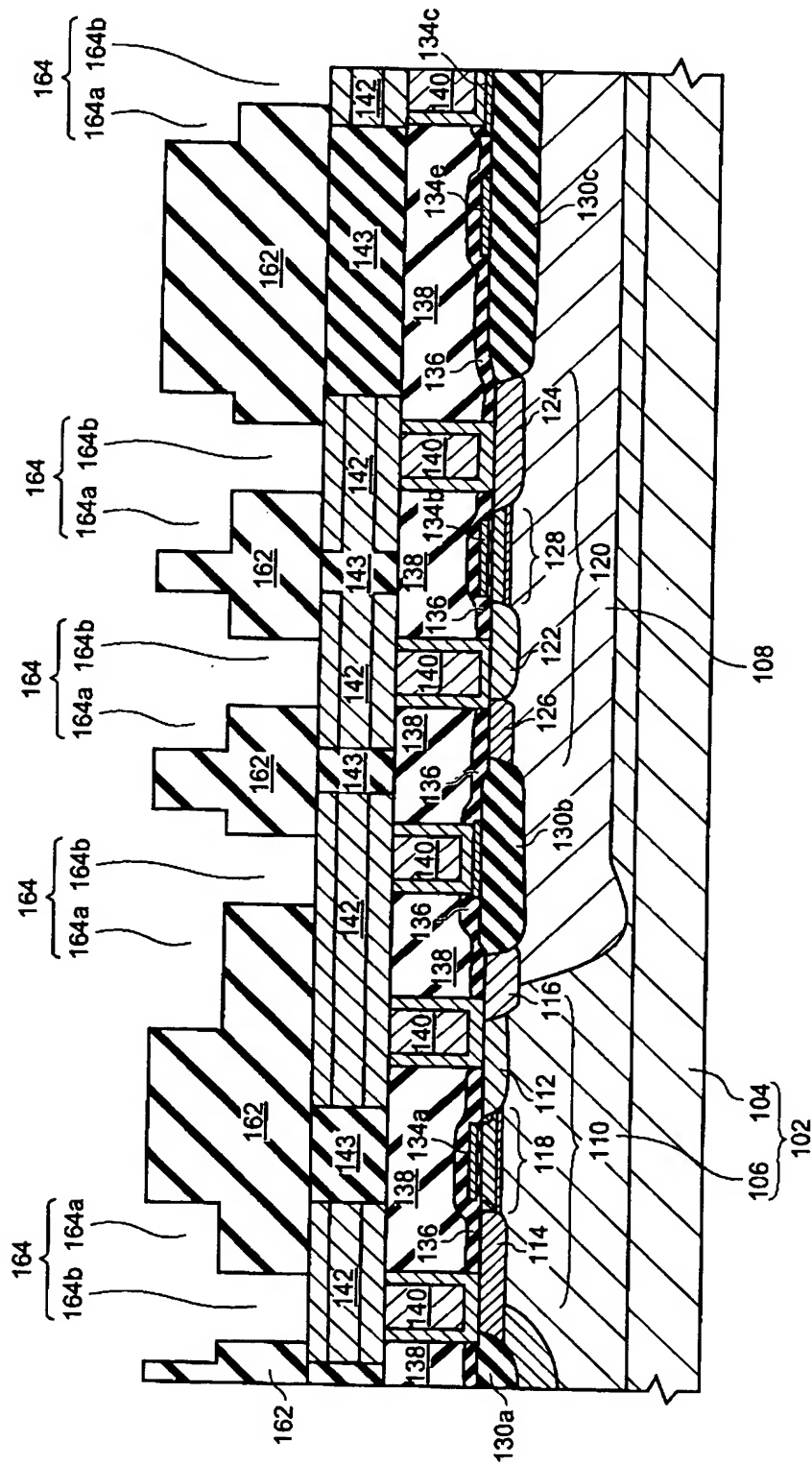
【図 9】

膜の種類		SiH <sub>4</sub> FSG			TEOS FSG
成膜温度		400°C	440°C	480°C	480°C
クリーンルーム内に 放置したときの (SiOH+HOH)/SiO FT-IRピーク比	1週間放置	0.5	0.4	1.0	2.5
	2週間放置	0.7	1.1	0.7	—

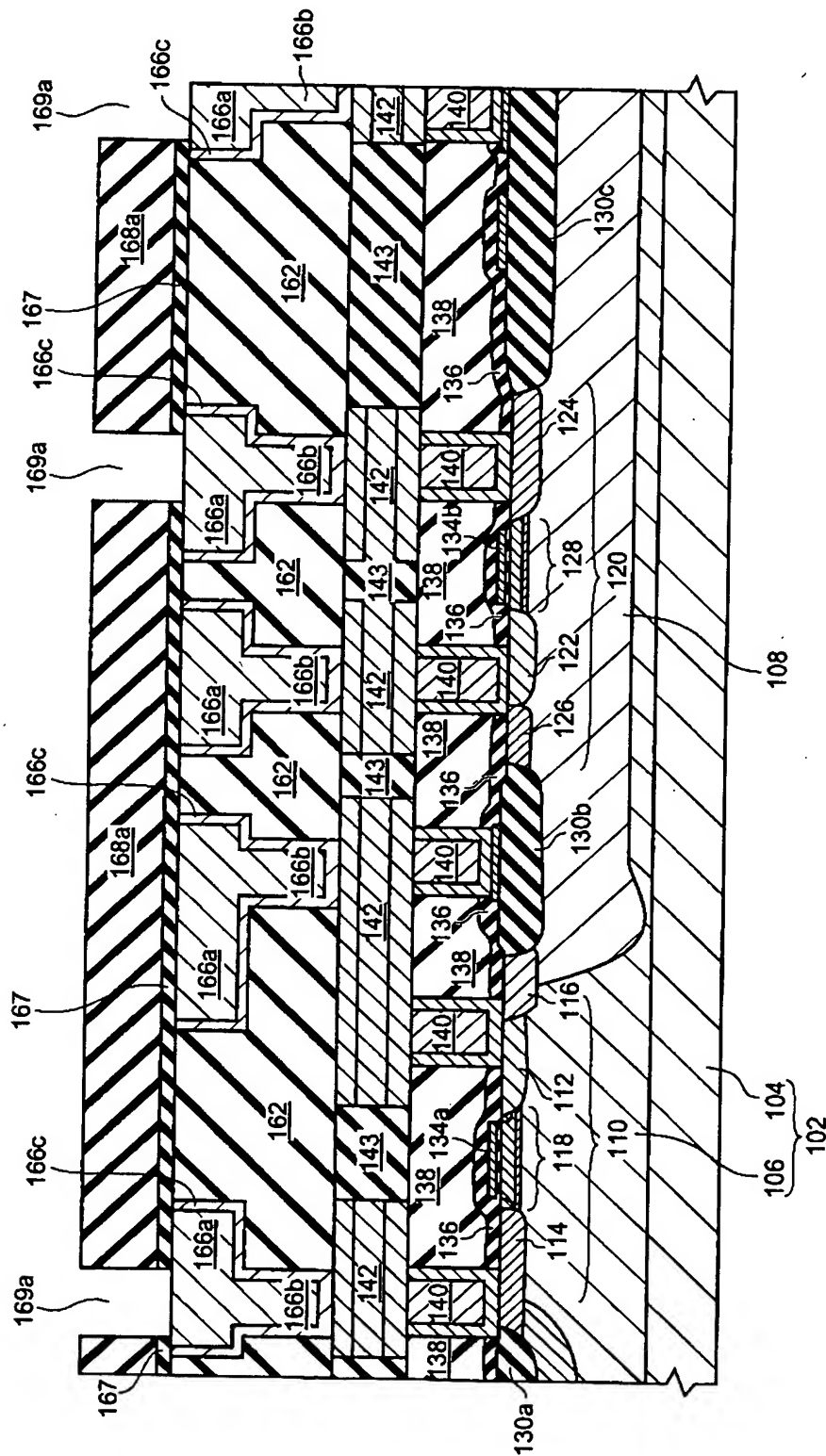
【図 10】



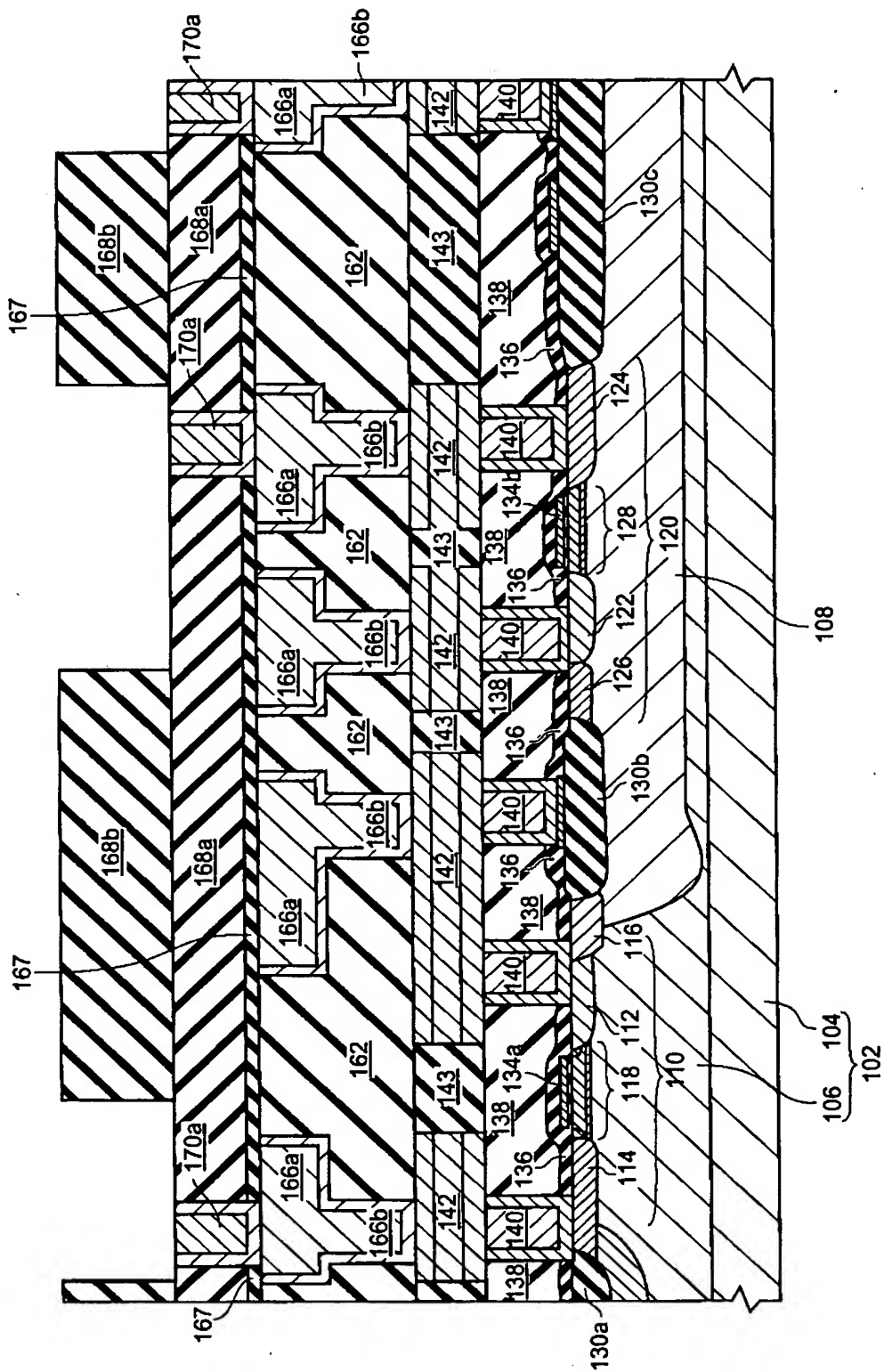
【図 11】



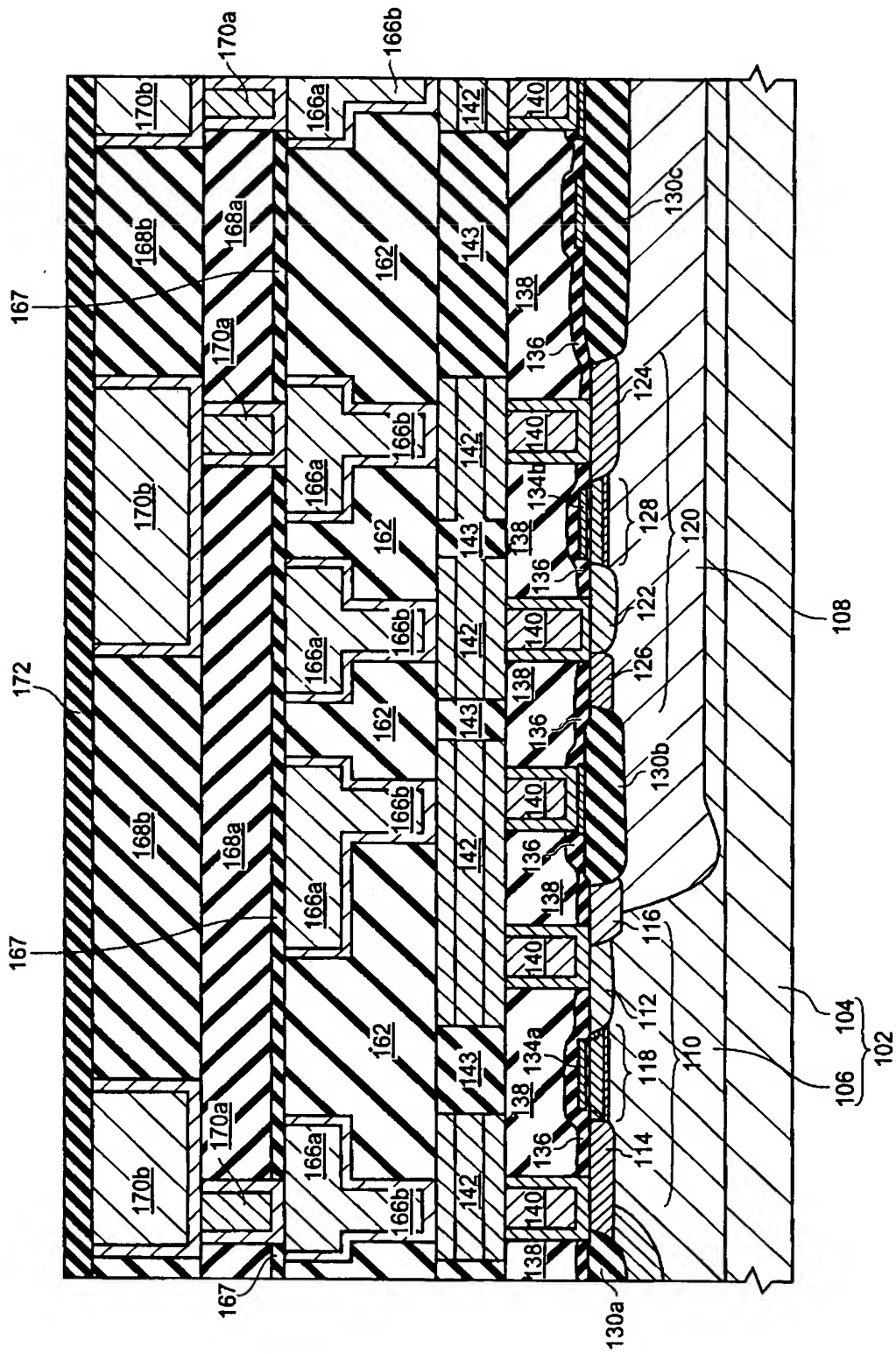
【図 12】



【図 13】



【図 1 4】





【書類名】 要約書

【要約】

【課題】 膜質が安定なフッ素含有シリコン絶縁膜を形成できる成膜方法および成膜装置、並びに半導体装置の製造方法を提供する。

【解決手段】 成膜装置 10 は、反応チャンバ 12 内に設けられた平行平板型電極 16、22 と、 $\text{SiH}_4$ 、 $\text{SiF}_4$  および酸素ソース物質を含むプロセスガスを反応チャンバ 12 内に導入するためのガス供給源 20、32、34、バルブ 36、38、40、およびガス混合室 28 と、プロセスガスのプラズマを生成するための RF 電力を供給する電力源 44 と、を備える。この成膜装置 10 では、電力源 44 は、平行平板型電極 16、22 に 1000W 以上の RF 電力を供給可能である。この装置 10 において、 $\text{SiH}_4$ 、 $\text{SiF}_4$  および  $\text{N}_2\text{O}$  を含むプロセスガスのプラズマを生成して、フッ素含有シリコン酸化膜をウエハ 14 上に堆積する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[390040660]

1. 変更年月日 1990年12月12日

[変更理由] 新規登録

住 所 アメリカ合衆国 カリフォルニア州 95054 サンタ ク  
ララ バウアーズ アベニュー 3050

氏 名 アプライド マテリアルズ インコーポレイテッド